

## 特許協力条約

PCT

REC'D 10 MAR 2006

WIPO

PCT

## 特許性に関する国際予備報告（特許協力条約第二章）

(法第 12 条、法施行規則第 56 条)  
〔P C T 36 条及び P C T 規則 70〕

出願人又は代理人 の書類記号 P35351-P0	今後の手続きについては、様式PCT/IPA/416を参照すること。		
国際出願番号 PCT/JP2005/004676	国際出願日 (日.月.年) 16.03.2005	優先日 (日.月.年) 24.03.2004	
国際特許分類 (IPC) Int.Cl. G06F12/08 (2006.01)			
出願人 (氏名又は名称) 松下電器産業株式会社			

国際予備審査の請求書を受理した日 24. 01. 2006	国際予備審査報告を作成した日 24. 02. 2006
名称及びあて先 日本国特許庁 (I P E A / J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 清木 泰 電話番号 03-3581-1101 内線 3586

## 第I欄 報告の基礎

1. 言語に関し、この予備審査報告は以下のものを基礎とした。

出願時の言語による国際出願

出願時の言語から次の目的のための言語である \_\_\_\_\_ 語に翻訳された、この国際出願の翻訳文

國際調査 (PCT規則12.3(a)及び23.1(b))

國際公開 (PCT規則12.4(a))

國際予備審査 (PCT規則55.2(a)又は55.3(a))

2. この報告は下記の出願書類を基礎とした。(法第6条 (PCT14条) の規定に基づく命令に応答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。)

出願時の国際出願書類

明細書

第 1-27 \_\_\_\_\_ ページ、出願時に提出されたもの

第 \_\_\_\_\_ ページ\*、 \_\_\_\_\_ 付けで国際予備審査機関が受理したもの  
第 \_\_\_\_\_ ページ\*、 \_\_\_\_\_ 付けで国際予備審査機関が受理したもの

請求の範囲

第 4, 6, 8-11 \_\_\_\_\_ 項、出願時に提出されたもの

第 \_\_\_\_\_ 項\*、PCT 19条の規定に基づき補正されたもの

第 1, 3, 5, 7, 12-18 \_\_\_\_\_ 付けで国際予備審査機関が受理したもの  
第 \_\_\_\_\_ 項\*、 \_\_\_\_\_ 付けで国際予備審査機関が受理したもの

図面

第 1-19 \_\_\_\_\_ 図、出願時に提出されたもの

第 \_\_\_\_\_ 図\*、 \_\_\_\_\_ 付けで国際予備審査機関が受理したもの  
第 \_\_\_\_\_ 図\*、 \_\_\_\_\_ 付けで国際予備審査機関が受理したもの

配列表又は関連するテーブル

配列表に関する補充欄を参照すること。

3.  補正により、下記の書類が削除された。

明細書 第 \_\_\_\_\_ ページ

請求の範囲 第 2 \_\_\_\_\_ 項

図面 第 \_\_\_\_\_ 図

配列表 (具体的に記載すること)

配列表に関するテーブル (具体的に記載すること) \_\_\_\_\_

4.  この報告は、補充欄に示したように、この報告に添付されかつ以下に示した補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかつたものとして作成した。(PCT規則70.2(c))

明細書 第 \_\_\_\_\_ ページ

請求の範囲 第 \_\_\_\_\_ 項

図面 第 \_\_\_\_\_ ページ/図

配列表 (具体的に記載すること)

配列表に関するテーブル (具体的に記載すること) \_\_\_\_\_

\* 4. に該当する場合、その用紙に "superseded" と記入されることがある。

第V欄 新規性、進歩性又は産業上の利用可能性についての法第12条（PCT35条(2)）に定める見解、  
それを裏付ける文献及び説明

## 1. 見解

新規性 (N)	請求の範囲 5, 7, 8, 9, 10, 11, 13, 14, 15, 16, 17	有
	請求の範囲 1, 3, 4, 6, 12, 18	無
進歩性 (I S)	請求の範囲 _____	有
	請求の範囲 1, 3-18	無
産業上の利用可能性 (I A)	請求の範囲 1, 3-18	有
	請求の範囲 _____	無

## 2. 文献及び説明 (PCT規則70.7)

文献1 : J P 11-167520 A (日本電気株式会社)  
1999. 06. 22, 【0021】 - 【0043】 , 【図1】 - 【図6】  
& U S 6173392 B1,  
第2欄第22行 - 第5欄第41行, 第1図 - 第6C図  
文献2 : J P 2003-223360 A (株式会社日立製作所)  
2003. 08. 08,  
【0071】 , 【0073】 - 【0079】 , 【図6】 - 【図8】  
文献3 : J P 7-84879 A (株式会社東芝) 1995. 03. 31  
文献4 : J P 60-45855 A (富士通株式会社) 1985. 03. 12  
文献5 : J P 61-16348 A (三菱電機株式会社) 1986. 01. 24  
文献6 : J P 51-19453 A (富士通株式会社) 1976. 02. 16

## ・請求の範囲1, 3, 4, 6, 12, 18について

請求の範囲1, 3, 4, 6, 12, 18は文献1により新規性及び進歩性を有しない。文献1には、前回のアクセスアドレスであるヒストリアドレスの情報と前回のアクセスアドレスと前々回のアクセスアドレスとの差分の情報を保持しておき、今回のアクセスアドレスであるリクエストアドレスがヒストリアドレスと差分との和に等しいという条件を満たすか否かを判定し、リクエストアドレスと差分との和であるプリフェッヂ対象のアドレスを生成し、前記条件を満たすと判定したとき、生成したプリフェッヂ対象のアドレスにより主記憶からキャッシュメモリへのプリフェッヂを行い、さらに、リクエストアドレスを新たなヒストリアドレスとして保持することにより新たな条件を生成する技術が教示されている。

文献1に教示された技術においてヒストリアドレス等の情報を新たな値に更新することは新たな条件を生成することと等価である。このことを鑑みれば、24.01.2006付けの手続補正書により、出願当初の請求の範囲1と請求の範囲2をあわせて補正後の請求の範囲1としたことにもかかわらず、補正後の請求の範囲1, 3, 4, 6, 12, 18は依然として新規性及び進歩性を有しないものである。

## ・請求の範囲5, 17について

請求の範囲5, 17は文献1および文献2により進歩性を有しない。文献2にも例示されるような、アドレス範囲を指定してキャッシュメモリに対する何らかの操作を行うことは当業者には周知である。また、文献2には、指定されたアドレス範囲がキャッシュラインの境界に合っていない場合には、キャッシュラインの境界に合うようアドレス範囲を調整（アライン）する技術が教示されている。文献1に教示された技術も文献2に教示された技術とともにキャッシュメモリに対するアドレスを用いた操作に関するものであり、これらの技術を組み合わせることは当業者にとって容易である。

## 補充欄

いづれかの欄の大きさが足りない場合

第 V.2 欄の続き

・請求の範囲 7, 8, 9について

請求の範囲 7, 8, 9 は文献 1 により進歩性を有しない。文献 1 に教示された技術も、次にアクセスされると予想されるアドレスに関する情報を条件として生成し保持する点では請求の範囲 7, 8, 9 と同様である。条件として、次のアクセスされると予想されるアドレスそのものの自体の情報を保持するようにすべく、必要なアドレス演算を行うように設計変更を行うことは、当業者にとって容易である。

・請求の範囲 10, 11について

請求の範囲 10, 11 は文献 1 により進歩性を有しない。キャッシュメモリの制御を行うための必要に応じて、複数の条件の論理積や論理和を適宜用いることは当業者にとって容易である。

・請求の範囲 13について

請求の範囲 13 は文献 1 及び文献 3 により進歩性を有しない。文献 3 にも例示されるような、キャッシュメモリに対するライト時にミスヒットする状況において、主記憶からキャッシュメモリへのデータ転送を行うことなく、キャッシュメモリにライトデータを登録する、いわゆるタッチ処理は当業者には周知である。文献 1 に教示される技術は主にリードのためのプリフェッチ処理に関するものであるが、これを文献 3 に例示されるようなライトのためのタッチ処理のためにも適用することは、当業者にとって容易である。

・請求の範囲 1, 14, 15, 16について

請求の範囲 1, 14, 15, 16 は文献 4 により進歩性を有しない。文献 4 には、キャッシュメモリにおいて、アクセスアドレスが連續性を有し、かつ、アクセスアドレスがキャッシュラインの境界を越えたという条件を満たすか否かを判定し、当該条件を満たすと判定したとき、アクセスが終了した以前アクセスしていたキャッシュラインを優先的に追い出す（リプレースする）対象とする技術が教示されている。条件の判定や以前アクセスしていたキャッシュラインを特定するために、必要に応じて、条件を生成する手段やアドレスを生成する手段を備えることは当業者には容易である。

文献 4 に教示された技術においてアクセスアドレスの連續性を判定すること等のために、新たな条件を動的に生成するようにすることは当業者にとって容易である。このことを鑑みれば、24.01.2006 付けの手続補正書により、出願当初の請求の範囲 1 と請求の範囲 2 をあわせて補正後の請求の範囲 1 としたことにもかかわらず、補正後の請求の範囲 1, 14, 15, 16 は依然として進歩性を有しないものである。

## 請求の範囲

[1] (補正後) プロセッサの状態に関する条件を生成する条件生成手段と、現在のプロセッサの状態が前記条件を満たすかどうかを判定する判定手段と、操作対象となるアドレスを生成するアドレス生成手段と、前記判定手段が条件を満たすと判定したときに前記アドレス生成手段によって生成されたアドレスを用いてキャッシュを操作する操作手段とを備え、前記条件生成手段は、前記判定手段が条件を満たすと判定した場合に新たな条件を生成することを特徴とするキャッシュメモリシステム。

[2] (削除)

[3] (補正後) 前記条件生成手段は、プロセッサ内の特定レジスタの値に関する条件を生成することを特徴とする請求項1記載のキャッシュメモリシステム。

[4] 前記特定レジスタはプログラムカウンタであることを特徴とする請求項3記載のキャッシュメモリシステム。

[5] (補正後) 前記条件生成手段は、特定のアドレス範囲内へのメモリアクセスおよび特定のアドレス範囲外へのメモリアクセスの何れかを前記条件として生成することを特徴とする請求項1記載のキャッシュメモリシステム。

[6] 前記条件生成手段は、プロセッサが特定命令を実行することを前記条件として生成するることを特徴とする請求項1記載のキャッシュメモリシステム。

[7] (補正後) 前記条件生成手段は、現在の条件に特定の演算を施すことによって前記新たな条件を生成することを特徴とする請求項1記載のキャッシュメモリシステム。

[8] 前記条件生成手段はメモリアクセスアドレスを条件として生成し、前記判定手段が条件を満たすと判定した場合に現在の条件に定数を加算することによって前記新たな条件を生成することを特徴とする請求項7記載のキャッシュメモリシステム。

[9] 前記定数は、プロセッサにより実行されるポストインクリメント付きロード／ストア命令におけるインクリメント値またはデクリメント値、およびプロセッサにより実行される2回のロード／ストア命令におけるアドレスの差分値の何れかであることを特徴とする請求項8記載のキャッシュメモリシステム。

[10] 前記条件生成手段は複数の条件を生成し、前記判定手段は、複数の条件のすべてを満たすかどうかを判定することを特徴とする請求項1記載のキャッシュメモリシステム。

[11] 前記条件生成手段は複数の条件を生成し、前記判定手段は、複数の条件の何れかを満たすかどうかを判定することを特徴とする請求項1記載のキャッシュメモリシステム。

[12] (補正後) 前記操作手段は、前記判定手段が条件を満たすと判定したときに、前記アドレス生成手段により生成されたアドレスに対応するデータがキャッシュに格納されているかどうかを判定するデータ判定手段と、格納されていないと判定された場合に、キャッシュメモリ中のラインを選択する選択手段と、前記選択されたラインが有効でダーティならライトバックを行うライトバック手段と、前記アドレスに対応するデータをメモリからライトバック後の選択されたラインへ転送する転送手段と、前記アドレスをタグとして前記選択されたラインへ登録する登録手段とを備えることを特徴とする請求項1又は3記載のキャッシュメモリシステム。

[13] (補正後) 前記操作手段は、前記判定手段が条件を満たすと判定したときに、前記アドレス生成手段により生成されたアドレスに対応するデータがキャッシュに格納されているかどうかを判定するデータ判定手段と、格納されていないと判定された場合に、キャッシュメモリ中のラインを選択する選択手段と、選択されたラインが有効でダーティであれば、ライトバックを行うライトバック手段と、

メモリから選択されたラインへデータを転送することなく、前記生成したアドレスをタグとして選択されたラインへ登録する登録手段と  
を備えることを特徴とする請求項1又は3記載のキャッシングメモリシステム。

[14] (補正後) 前記操作手段は、

前記判定手段が条件を満たすと判定したときに、前記アドレス生成手段により生成されたアドレスに対応するデータがキャッシングに格納されているかどうかを判定するデータ判定手段と、

格納されていると判定された場合に、キャッシングメモリ中の格納先のラインを選択する選択手段と、

選択されたラインが有効かつダーディであればライトバックを行うライトバック手段と、

を備えることを特徴とする請求項1又は3記載のキャッシングメモリシステム。

[15] (補正後) 前記操作手段は、

前記判定手段が条件を満たすと判定したときに、前記アドレス生成手段により生成されたアドレスに対応するデータがキャッシングに格納されているかどうかを判定するデータ判定手段と、

格納されていると判定された場合に、キャッシングメモリ中の格納先のラインを選択する選択手段と、

選択されたラインを無効化する無効化手段と

を備えることを特徴とする請求項1又は3記載のキャッシングメモリシステム。

[16] (補正後) 前記操作手段は、

前記判定手段が条件を満たすと判定したときに、前記アドレス生成手段により生成されたアドレスに対応するデータがキャッシングに格納されているかどうかを判定するデータ判定手段と、

格納されていると判定された場合に、キャッシングメモリ中の格納先のラインを選択する選択手段と、

ラインのアクセス順序を示す順序情報に対して、選択されたラインのアクセス順序を変更する変更手段と、

を備えることを特徴とする請求項1又は3記載のキャッシングメモリシステム。

[17] (補正後) 前記条件生成手段により前記条件としてメモリアドレスを生成し、前記操作手段は、さらに、前記条件生成手段により生成されたメモリアドレスがラインの途中を指す場合に、当該ラインの先頭、次のラインの先頭および前のラインの先頭の何れかを指すように調整することによりアドレスを生成する調整手段を備えることを特徴とする請求項12から16の何れかに記載のキャッシングシステム。

[18] (補正後) キャッシュメモリの制御方法であって、プロセッサの状態に関する条件を生成する条件生成ステップと、現在のプロセッサの状態が前記条件を満たすかどうかを判定する判定ステップと、操作対象となるアドレスを生成するアドレス生成ステップと、前記判定ステップにおいて条件を満たすと判定したときに前記アドレス生成ステップにおいて生成されたアドレスを用いてキャッシングを操作する操作ステップとを有し、前記判定ステップにて条件を満たすと判定した場合に、前記条件生成ステップにおいて新たな条件を生成することを特徴とする制御方法。